

Requested Patent: JP2003110109A

Title:

SEMICONDUCTOR DEVICE, METHOD OF MANUFACTURING THE SAME, AND
PORTABLE ELECTRONIC APPARATUS ;

Abstracted Patent: JP2003110109 ;

Publication Date: 2003-04-11 ;

Inventor(s): SHIBATA AKIHIDE; IWATA HIROSHI; KAKIMOTO SEIZO ;

Applicant(s): SHARP CORP ;

Application Number: JP20010302095 20010928 ;

Priority Number(s): ;

IPC Classification: H01L29/786; H01L21/20; H01L21/28; H01L21/336 ;

Equivalents: ;

ABSTRACT:

PROBLEM TO BE SOLVED: To provide a double-gate field effect transistor in which a channel region with a uniform thickness is formed by a simple process and which has stable characteristics. **SOLUTION:** A gate electrode 143 which functions as a front gate and an N-type shallow well region 123 which functions as a back gate are formed on upper and lower surfaces of a channel region 161 via a gate oxide film 141 and a silicon oxide film 142 respectively. The gate electrode 143 and the N-type shallow well 123 are electrically connected with each other. If a voltage, by which a transistor is turned on, is applied to the gate electrode 143, therefore, channels are formed on both the upper and lower surfaces of the channel region 161, so that a driving current, which is larger in comparison with a current of a conventional single-gate field effect transistor, can be obtained.

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003-110109

(P2003-110109A)

(43)公開日 平成15年4月11日(2003.4.11)

(51)Int.Cl.⁷
H 01 L 29/786
21/20
21/28
21/336

識別記号

3 0 1

F I
H 01 L 21/20
21/28
29/78

テ-71-ト(参考)
4 M 1 0 4
3 0 1 A 5 F 0 5 2
6 1 7 N 5 F 1 1 0
6 2 7 G
6 1 6 T

審査請求 未請求 請求項の数10 OL (全 13 頁)

(21)出願番号

特願2001-302095(P2001-302095)

(22)出願日

平成13年9月28日(2001.9.28)

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 柴田 覧秀

大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

(72)発明者 岩田 浩

大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

(74)代理人 100062144

弁理士 青山 葵 (外1名)

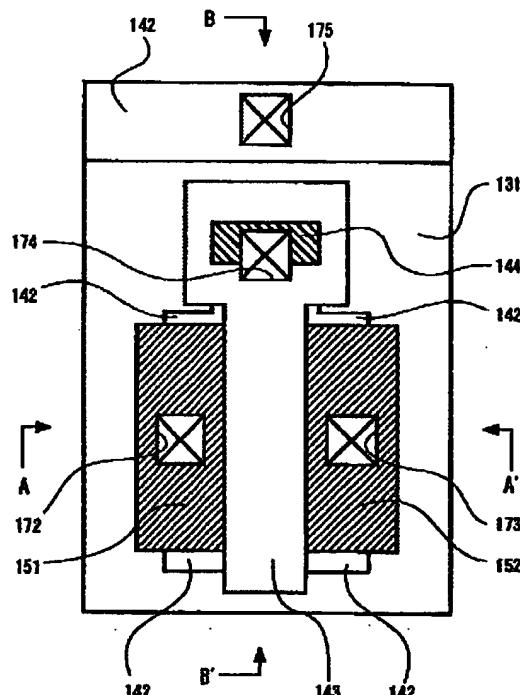
最終頁に続く

(54)【発明の名称】 半導体装置及びその製造方法並びに携帯電子機器

(57)【要約】

【課題】 簡単な工程により、均一な厚さのチャネル領域を形成し、特性の安定したダブルゲート型電界効果トランジスタを提供すること。

【解決手段】 チャネル領域161の上下には、夫々ゲート酸化膜141及びシリコン酸化膜142を介して、フロントゲートの役割を果たすゲート電極143及びバックゲートの役割を果たすN型の浅いウェル領域123が形成されている。また、上記ゲート電極143及びN型の浅いウェル領域123は、電気的に接続されている。したがって、上記ゲート電極143にトランジスタをオン状態にすべき電圧を加えると、チャネル領域161の上下両面にチャネルが形成されるので、シングルゲート構造の電界効果トランジスタに比べて大きな駆動電流を得ることができる。



【特許請求の範囲】

【請求項1】 半導体基板と、
素子分離領域と、
上記半導体基板内に形成された第1導電型の深いウェル領域と、
上記第1導電型の深いウェル領域内に形成された第2導電型の浅いウェル領域と、
上記第2導電型の浅いウェル領域上に第1の絶縁膜を介して形成された半導体膜と、
上記半導体膜上に第2の絶縁膜を介して形成されたゲート電極とを備え、
上記第2導電型の浅いウェル領域と上記ゲート電極とは電気的に接続され、
上記素子分離領域は、上記第1導電型の深いウェル領域と上記第2導電型の浅いウェル領域との接合の深さよりも深い深さを有し、
上記半導体膜のうち上記ゲート電極で覆われた部分にはチャネル領域が形成され、
上記半導体膜のうち上記ゲート電極で覆われない部分には、第2導電型のソース領域及びドレイン領域が形成されたことを特徴とする半導体装置。

【請求項2】 請求項1に記載の半導体装置において、上記第1の絶縁膜と上記第2の絶縁膜に挟まれた上記半導体膜の厚さが140nm以下であることを特徴とする半導体装置。

【請求項3】 請求項1に記載の半導体装置において、上記第1の絶縁膜と上記第2の絶縁膜に挟まれた上記半導体膜の厚さが100nm以下であることを特徴とする半導体装置。

【請求項4】 請求項1乃至3のいずれか1つに記載の半導体装置において、

上記第2導電型の浅いウェル領域内であって、上記第1の絶縁膜を介して上記第2導電型のソース領域及びドレイン領域と接する部分の不純物濃度は、上記第1の絶縁膜を介して上記チャネル領域と接する部分の不純物濃度よりも薄いことを特徴とする半導体装置。

【請求項5】 請求項1乃至4のいずれか1つに記載の半導体装置において、上記半導体膜には、アニールにより非晶質半導体の結晶化を助長する金属元素が含まれていることを特徴とする半導体装置。

【請求項6】 請求項5に記載の半導体装置において、上記非晶質半導体の結晶化を助長する金属元素はニッケル、コバルト、パラジウム、白金の中の少なくとも1つであることを特徴とする半導体装置。

【請求項7】 請求項5に記載の半導体装置を製造する方法において、

上記第2導電型の浅いウェル領域上に第1の絶縁膜を形成する工程の後に、

上記半導体基板全面に実質的な非晶質半導体膜を堆積す

る工程と、

上記非晶質半導体膜の結晶化を助長する金属元素を上記非晶質半導体膜の一部に選択的に導入する工程と、
アニールにより少なくとも上記金属元素が選択的に導入された領域の周辺部において上記非晶質半導体膜を結晶化し、多結晶半導体膜もしくは実質的な単結晶半導体膜とする工程とを含むことを特徴とする半導体装置の製造方法。

【請求項8】 請求項7に記載の半導体装置の製造方法において、

上記非晶質半導体の結晶化を助長する金属元素はニッケル、コバルト、パラジウム、白金の中の少なくとも1つであることを特徴とする半導体装置の製造方法。

【請求項9】 請求項1乃至6のいずれか1つに記載の半導体装置において、

上記ソース領域及びドレイン領域の一部が、上記第2の絶縁膜がなす面より上に存在するライズド構造を有することを特徴とする半導体装置。

【請求項10】 請求項1乃至6、9のいずれか1つに記載の半導体装置を具備したことを特徴とする携帯電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置及びその製造方法並びに携帯電子機器に関する。より具体的には、本発明は、ダブルゲート構造を有する電界効果トランジスタを含む半導体装置及びその製造方法、並びに、この半導体装置を用いた携帯電子機器に関する。

【0002】

【従来の技術】ダブルゲート構造を有する電界効果トランジスタの従来例としては、特開平4-246863に開示されたものが挙げられる。この従来例を図12に示す。図12中、926はシリコン基板、912、924、938はシリコン酸化膜、922はバックゲート電極、920はバックゲート酸化膜、930はフロントゲート電極、928はフロントゲート酸化膜、932はソース領域、934はドレイン領域、936はチャネル領域、940はバックゲート引出し電極、942はソース電極、944はドレイン電極である。

【0003】この従来例によれば、チャネル領域936は、フロントゲート電極930とバックゲート電極922の2つのゲート電極で挟まれている。そのため、フロントゲート電極930とバックゲート電極922に同じ電位を与えれば、チャネル領域の表裏両面にチャネルが形成され、電流駆動能力を増大することができる。さらには、ドレイン領域からチャネル領域中への電気力線の侵入が抑制されるので、短チャネル効果を緩和することができる。

【0004】

【発明が解決しようとする課題】しかしながら、従来技

術のダブルゲート型電界効果トランジスタを形成するためには、バックゲート電極を形成した後、ウェハ貼り合わせ工程とCMP（化学機械研磨：Chemical Mechanical Polishing）工程とを用いて活性層を形成し、その上にフロントゲート電極を形成するという複雑な工程を経なければならなかった。また、CMP工程により薄く研磨された活性層をチャネル領域とするため、チャネル領域の厚さの均一性が悪く、素子間の特性ばらつきが大きいという問題があった。

【0005】本発明は、上記問題を解決するべくなされたものであり、その目的は、簡単な工程により、均一な厚さのチャネル領域を形成し、特性の安定したダブルゲート型電界効果トランジスタを提供することである。

【0006】

【課題を解決するための手段】上記目的を達成するため、第1の発明の半導体装置は、半導体基板と、素子分離領域と、上記半導体基板内に形成された第1導電型の深いウェル領域と、上記第1導電型の深いウェル領域内に形成された第2導電型の深いウェル領域と、上記第2導電型の深いウェル領域上に第1の絶縁膜を介して形成された半導体膜と、上記半導体膜上に第2の絶縁膜を介して形成されたゲート電極とを備え、上記第2導電型の深いウェル領域と上記ゲート電極とは電気的に接続され、上記素子分離領域は、上記第1導電型の深いウェル領域と上記第2導電型の深いウェル領域との接合の深さよりも深い深さを有し、上記半導体膜のうち上記ゲート電極で覆われた部分にはチャネル領域が形成され、上記半導体膜のうち上記ゲート電極で覆われない部分には、ソース領域及びドレイン領域が形成されたことを特徴としている。

【0007】本明細書において、第1導電型とは、P型又はN型を意味する。また、第2導電型とは、第1導電型がP型の場合はN型、N型の場合はP型を意味する。

【0008】上記構成によれば、上記半導体膜の一部は、夫々絶縁膜を介して上記ゲート電極と上記第2導電型の深いウェル領域とに挟まれてチャネル領域となり、更に、上記ゲート電極と上記第2導電型の深いウェル領域とが電気的に接続されている。そのため、上記第2の絶縁膜及び上記ゲート電極が、夫々フロントゲート絶縁膜及びフロントゲート電極の役割を果たし、上記第1の絶縁膜及び上記第2導電型の深いウェル領域が、夫々バックゲート絶縁膜及びバックゲート電極の役割を果たして、ダブルゲート型電界効果トランジスタを構成する。

【0009】また、上記第2導電型の深いウェル領域は、上記素子分離領域と上記第1導電型の深いウェル領域とにより素子毎に分離することができるので、素子間の干渉を防ぐことができる。

【0010】また、上記半導体基板内に形成された上記第2導電型の深いウェル領域をバックゲート電極としているので、ウェハ貼り合わせ工程を必要としない。ま

た、CMP工程によりチャネル領域を形成する必要がないので、均一な厚さのチャネル領域を形成することができる。

【0011】したがって、簡単な工程により、駆動電流が大きく、短チャネル効果が抑制され、かつ、特性のばらつきの小さなダブルゲート型電界効果トランジスタが提供される。

【0012】1実施の形態では、上記第1の絶縁膜と上記第2の絶縁膜に挟まれた上記半導体膜の厚さが140nm以下である。

【0013】上記実施の形態によれば、上記ダブルゲート型電界効果トランジスタのオン時に上記チャネル領域が完全に空乏化するので、上記ゲート電極及び上記第2導電型の深いウェル領域に印加した電圧の影響が上記チャネル領域の中央部にまで及ぶようになり、上記チャネル領域中央部のポテンシャルが低下する。したがって、上記チャネル領域中央部のキャリア密度が増加して更に駆動電流が増加する。

【0014】1実施の形態では、上記第1の絶縁膜と上記第2の絶縁膜に挟まれた上記半導体膜の厚さが100nm以下である。

【0015】上記実施の形態によれば、上記ダブルゲート型電界効果トランジスタのオフ時にも上記チャネル領域が完全に空乏化する。そのため、閾値以下のサブレッシュホールド領域においても基板バイアス効果が働き、サブレッシュホールド特性が改善する。したがって、上記ダブルゲート型電界効果トランジスタのオフ電流を増加させることなく閾値を下げることが可能になるので、電源電圧を下げて消費電力を削減することができる。

【0016】更にまた、上記ダブルゲート型電界効果トランジスタのオフ時においても、上記チャネル領域の中央部にまで上記ゲート電極及び上記第2導電型の深いウェル領域に由来する空乏層が伸びており、上記ドレイン領域に由来する空乏層の伸びを遮断するので、極めて効果的に短チャネル効果が抑制される。上記ダブルゲート型電界効果トランジスタのオン時には、更に上記チャネル領域の中央部のポテンシャルが低下する（基板バイアス効果が大きくなる）ので、非常に大きな駆動電流を得ることができる。したがって、短チャネル効果が極めて効果的に抑制され、非常に大きな駆動電流が得られるダブルゲート型電界効果トランジスタを実現することができる。

【0017】1実施の形態では、上記第2導電型の深いウェル領域内であって、上記第1の絶縁膜を介して上記第2導電型のソース領域及びドレイン領域と接する部分の不純物濃度は、上記第1の絶縁膜を介して上記チャネル領域と接する部分の不純物濃度よりも薄い。

【0018】上記実施の形態によれば、上記第2導電型の深いウェル領域内であって、上記第1の絶縁膜を介して上記ソース領域及びドレイン領域に接する領域のみ不

純物濃度を薄くしている。そのため、上記第2導電型の浅いウェル領域と上記ソース領域及びドレイン領域との容量を小さくすることができる一方、上記チャネル領域と接する部分では空乏化を抑えることができる。したがって、高速動作かつ低消費電力な半導体装置が提供される。

【0019】1実施の形態では、上記半導体膜には、アニールにより非晶質半導体の結晶化を助長する金属元素が含まれている。

【0020】上記実施の形態によれば、上記半導体膜には、アニールにより非晶質半導体の結晶化を助長する金属元素が含まれているので、アニールにより上記半導体膜を結晶化する際に、粒界の向きや結晶粒の大きさを制御することができる。そのため、容易にオフリークを抑制し、もしくは駆動電流の劣化を防ぐことができる。また、結晶粒の大きさを素子の大きさに比べて十分大きくすれば、実質的に単結晶膜からなるチャネル領域が実現できるので、低オフリーク及び高駆動電流という優れた特性が容易に両立する。

【0021】1実施の形態では、上記非晶質半導体の結晶化を助長する金属元素はニッケル、コバルト、パラジウム、白金の中の少なくとも1つである。

【0022】上記実施の形態は、上記非晶質半導体の結晶化を助長する金属元素を具体的に特定したものであり、非晶質半導体の結晶化及び粒界方向の制御を効率良く行なうことができる。

【0023】また、第2の発明の半導体装置の製造方法は、第1の発明の半導体装置を製造する方法において、上記第2導電型の浅いウェル領域上に第1の絶縁膜を形成する工程の後に、上記半導体基板全面に実質的な非晶質半導体膜を堆積する工程と、上記非晶質半導体膜の結晶化を助長する金属元素を上記非晶質半導体膜の一部に選択的に導入する工程と、アニールにより少なくとも上記金属元素が選択的に導入された領域の周辺部において上記非晶質半導体膜を結晶化し、多結晶半導体膜もしくは実質的な単結晶半導体膜とする工程とを含むことを特徴としている。

【0024】上記手順によれば、チャネル領域となるべき半導体膜は、非晶質半導体膜を堆積する工程により形成しているので、容易に均一な膜厚とすることができる。したがって、特性のばらつきの小さなダブルゲート型電界効果トランジスタが提供される。

【0025】更にまた、上記非晶質半導体膜の結晶化を助長する金属元素を上記非晶質半導体膜の一部に選択的に導入した後、アニールにより上記非晶質半導体膜を結晶化しているので、粒界の向きや結晶粒の大きさを制御することができる。そのため、容易にオフリークを抑制し、もしくは駆動電流の劣化を防ぐことができる。また、結晶粒の大きさを素子の大きさに比べて十分大きくすれば、実質的に単結晶膜からなるチャネル領域が実現

できるので、低オフリーク及び高駆動電流という優れた特性が容易に両立する。

【0026】1実施の形態では、上記非晶質半導体の結晶化を助長する金属元素はニッケル、コバルト、パラジウム、白金の中の少なくとも1つである。

【0027】上記実施の形態は、上記非晶質半導体の結晶化を助長する金属元素を具体的に特定したものであり、非晶質半導体の結晶化及び粒界方向の制御を効率良く行なうことができる。

【0028】1実施の形態では、第1の発明の半導体装置において、上記ソース領域及びドレイン領域の一部が、上記第2の絶縁膜がなす面より上に存在するライズド構造を有する。

【0029】上記実施の形態によれば、上記ソース領域及びドレイン領域がライズド構造を有し、また、シリサイド化が容易であるから、上記ソース領域及びドレイン領域の寄生抵抗を小さくすることができる。したがって、ダブルゲート型電界効果トランジスタの駆動電流を大きくして、高速に動作させることができる。

【0030】また、第3の発明の携帯電子機器は、上記半導体装置を具備したことを特徴としている。

【0031】上記第3の発明によれば、携帯電子機器のLSI部を高速化することができるので、高機能な携帯電子機器が提供される。

【0032】

【発明の実施の形態】以下、本発明を図示の実施の形態により詳細に説明する。

【0033】本発明に使用することができる半導体基板は、特に限定されないが、シリコン基板が好ましい。また、半導体基板は、P型またはN型の導電型を有していても良い。なお、各実施の形態では、Nチャネル型の素子を中心に説明するが、不純物の導電型を反対にすることによりPチャネル型の素子を形成することができる。無論、両導電型の素子が同一基板上に形成されてもよい。

【0034】(実施の形態1) 本実施の形態1の半導体装置は、シリコン基板中に形成されたウェル領域にバックゲート電極としての機能を与え、簡単な工程によりダブルゲート型の電界効果トランジスタを実現したものである。本実施の形態1の半導体装置を、図1～図5を用いて説明する。図1は本実施の形態1の半導体装置の平面図であり、図2は図1の切断面線A-A'からみた断面図であり、図3は図1の切断面線B-B'からみた断面図である。なお、図1においては、層間絶縁膜及び上部配線を、図2及び図3においては、上部配線を省略している。図4及び図5は、本実施の形態1の半導体装置を作成する手順を説明するものである。

【0035】まず、図1～図3により本実施の形態1の半導体装置の構成を説明する。

【0036】シリコン基板111内には、P型の深いウ

エル領域121が形成されている。P型の深いウェル領域121上には、N型の浅いウェル領域123が形成されている。N型の浅いウェル領域123は、素子分離領域131により素子毎に電気的に分離されている。

【0037】N型の浅いウェル領域123上には、第1の絶縁膜の一例としてのシリコン酸化膜142が形成されている。このシリコン酸化膜142上には、半導体膜の一例であるシリコン膜、及び、第2の絶縁膜の一例としてのゲート酸化膜141を介してゲート電極143が形成されている。上記シリコン膜は、実質的な単結晶シリコン膜または粒界密度の非常に少ない多結晶シリコン膜であり、そのうちゲート電極143に覆われた部分はチャネル領域161となり、その他の部分はソース領域151又はドレイン領域152となっている。チャネル領域161はP型の導電型を持つか、あるいはイントリニシック（真性）となっている。ソース領域151及びドレイン領域152はn⁺拡散層により構成されている。

【0038】図1及び図3から分かるように、ゲート電極143にはゲート-ウェル接続領域144において孔が開けられ、N型の浅いウェル領域123が露出している。このゲート-ウェル接続領域144とゲート電極143上に重なるように層間絶縁膜171に開口するゲート電極コンタクト孔174（図示しないが、このコンタクト孔174にはメタルが埋めこまれる）が設けられており、ゲート電極143とN型の浅いウェル領域123とが電気的に接続されている。そのため、ゲート電極143に与えられた電位はN型の浅いウェル領域123にも伝わり、N型の浅いウェル領域123及びシリコン酸化膜142が夫々バックゲート及びバックゲート酸化膜の役割を果たしてダブルゲート型電界効果トランジスタを構成するのである。

【0039】上記ソース領域151及びドレイン領域152上には夫々コンタクト孔172、173が設けられている。また、P型の深いウェル領域121上にはP型の浅いウェル領域124が形成され、P型の浅いウェル領域124上にはP型の深いウェル領域121の電位を固定するためのウェルコンタクト孔175（図示しないが、このコンタクト孔175にはメタルが埋めこまれる）が設けられている。なお、図示しないが、N型の深いウェル領域上に、P型の浅いウェル領域124を形成すれば、このP型の浅いウェル領域124上にはPチャネル型の素子を形成することができる。

【0040】以上の説明から明らかかなように、チャネル領域161の上下には、夫々ゲート酸化膜141及びシリコン酸化膜142を介して、フロントゲートの役割を果たすゲート電極143及びバックゲートの役割を果たすN型の浅いウェル領域123が形成されている。また、上記ゲート電極143及びN型の浅いウェル領域123は、電気的に接続されている。したがって、ゲート

電極143にトランジスタをオン状態にすべき電圧を加えると、チャネル領域161の上下両面にチャネルが形成されるので、シングルゲート構造の電界効果トランジスタに比べて大きな駆動電流を得ることができる。

【0041】更には、ダブルゲート構造であることにより、ドレイン領域152からチャネル領域161への電気力線の侵入が抑制される。したがって、短チャネル効果が抑制され、素子の微細化が可能となる。

【0042】ところで、上記チャネル領域161の厚さは、電界効果トランジスタのオン時にチャネル領域161が完全に空乏化する程度に十分に薄くすることが好ましい。この場合、ゲート電極143及びN型の浅いウェル領域123に印加した電圧の影響がチャネル領域161の中央部にまで及ぶようになり、チャネル領域161の中央部のポテンシャルが両方からの相互作用によって低下する。したがって、チャネル領域161の中央部のキャリア密度が増加し、更に駆動電流が増加する。反転層が形成されたとき、片側の空乏層の厚さは、例えば、チャネル領域161の不純物濃度が $2 \times 10^{17} \text{ cm}^{-3}$ で約70nmである。したがって空乏層が上下両側から伸びることを考慮すると、チャネル領域161の厚さは140nm以下であることが好ましい。

【0043】また、上記チャネル領域161の厚さは、電界効果トランジスタのオフ時においてもチャネル領域161が完全に空乏化する程度に十分に薄くするのが更に好ましい。この場合、ゲート電極143及びN型の浅いウェル領域123に印加した電圧の影響は、電界効果トランジスタのオフ時においても、チャネル領域161の中央部にまで及ぶこととなる。そのため、閾値以下のサブレッシュホールド領域においても基板バイアス効果が働き、サブレッシュホールド特性が改善する。具体的には、室温でのサブレッシュホールド係数（S値）は、理論限界である60mV/decadeに近い値を得ることができる。このように優れたS値を持つ電界効果トランジスタにおいては、オフ電流を増加させることなく閾値を下げる事が可能になるので、電源電圧を下げて消費電力を削減することもできる。また、電界効果トランジスタのオフ時においても、チャネル領域161の中央部にまでゲート電極143及びN型の浅いウェル領域123に由来する空乏層が伸びており、ドレイン領域152に由来する空乏層の伸びを遮断するので、極めて効果的に短チャネル効果が抑制される。電界効果トランジスタのオン時には、更にチャネル領域161の中央部のポテンシャルが低下する（基板バイアス効果が大きくなる）ので、非常に大きな駆動電流を得ることができる。したがって、短チャネル効果が極めて効果的に抑制され、非常に大きな駆動電流が得られる電界効果トランジスタを実現することができる。もしくは、電源電圧を下げて電界効果トランジスタを低消費電力化することができる。電界効果トランジスタがオフ状態にあるとき、片側の空

乏層の厚さは、例えば、チャネル領域161の不純物濃度が $2 \times 10^{17} \text{ cm}^{-3}$ で約50nmである。したがって空乏層が上下両側から伸びることを考慮すると、チャネル領域161の厚さは100nm以下であることがより好ましい。

【0044】次に、本実施の形態1の半導体装置を形成する手順を、図4及び図5を用いて説明する。図4及び図5は、作成途中の素子を上から見たときの平面図である。

【0045】まず、図2、3に示すように、半導体基板111中に公知の方法で深いウェル領域121、浅いウェル領域123、124、及び素子分離領域131を形成する。

【0046】なお、上記浅いウェル領域123、124と深いウェル領域121との接合の深さは、この浅いウェル領域123、124の注入条件、深いウェル領域121の注入条件及びこれより後に行われる熱工程により決定される。素子分離領域131の深さは隣接する素子の浅いウェル領域123、124が電気的に分離されるように設定される。すなわち、上記深いウェル領域121と浅いウェル領域123、124の接合より、素子分離領域131の下端が深くなるようにする。

【0047】次に、図4(a)に示すように、バックゲート絶縁膜の役割を持つシリコン酸化膜142を形成する。上記シリコン酸化膜142としては、絶縁性を有する限りその材質は特に限定されない。ここで、シリコン基板111を用いた場合は、シリコン酸化膜、シリコン窒化膜またはそれらの積層体を使用することができる。また、酸化アルミニウム膜、酸化チタニウム膜、酸化タンタル膜などの高誘電膜またはそれらの積層膜を使用することができる。次に、図4(b)に示すように、CVD(化学的気相成長: Chemical Vapor Deposition)法により非晶質シリコン薄膜181を所望の厚さ(例えば10nm~200nm)堆積する。上記非晶質シリコン薄膜181は、半導体である限りその材質は特に限定されず、ゲルマニウム、シリコングルマニウム、ガリウム砒素等でもよい。次に、図4(c)に示すように、CVD法によりシリコン酸化膜又はシリコン窒化膜を堆積し、パターニングしてマスク182を形成する。このとき、非晶質シリコン薄膜181には、スリット状に露出した領域183を形成しておく。

【0048】マスク182を設けた後、例えば酢酸ニッケル又は硝酸ニッケル等の水溶液を基板全面に塗布し、その後スピナーラーにて均一膜厚として乾燥させる。なお、ニッケル化合物のかわりに、コバルト、パラジウム、白金の化合物を用いてもよい。非晶質シリコン薄膜181がスリット状に露出した領域183では、析出したニッケルイオンが接触しており、非晶質シリコン薄膜181にニッケルが微量添加される。次に、水素還元雰囲気下又は不活性ガス雰囲気下で580°C 16時間のア

ニールを行ない、非晶質シリコン薄膜を結晶化させる。このとき、図5(d)の矢印184の方向に結晶化が進み、粒界が矢印と平行な方向に走る非常に細長い結晶粒が形成され、多結晶シリコン膜185が形成された。もしくは、素子サイズに比べて粒界間の間隔が大きい、実質的な単結晶シリコン膜が形成された。

【0049】次に、図5(e)に示すように、マスク182を除去した後、多結晶シリコン膜185をパターニングした。

【0050】なお、上記多結晶シリコン膜185の粒界の間隔が素子のサイズと同程度かそれ以下の場合は、スリット状に露出した領域183の方向と後に形成される電界効果トランジスタのソース・ドレイン領域を結ぶ方向とが平行か垂直かによって素子の特性が異なる。スリット状に露出した領域183とソース・ドレイン領域を結ぶ方向とが垂直の場合は、粒界は電荷の移動方向と平行な方向に走るので、電荷の散乱による駆動電流の劣化は小さいが、オフリークが増加する。一方、スリット状に露出した領域183とソース・ドレイン領域を結ぶ方向とが平行となる場合は、粒界は電荷の移動方向と垂直な方向に走るので、電荷の散乱による駆動電流の劣化は大きいが、オフリークの増加は抑えられる。また、素子サイズに比べて粒界間の間隔が大きい実質的な単結晶シリコン膜を形成すれば、駆動電流が大きくオフリークが少ない素子が得られる。

【0051】次に、図示しないが、多結晶シリコン膜185の表面にシリコン酸化膜を形成してゲート絶縁膜141を形成する。その後、公知の方法でゲート電極143、ソース・ドレイン領域151、152(図1乃至3参照)、上部配線等を形成して半導体装置が完成する。

【0052】上記手順は、本実施の形態1の半導体装置を製造するための具体的方法を与えるものである。上記手順によれば、非晶質シリコン膜182の一部に、ニッケルを微量添加した後結晶化を行なうので、粒界の方向と密度を制御することができる。また、粒界の密度を小さくすれば、実質的に単結晶の膜にすることもできる。したがって、電界効果トランジスタの特性を向上させることができる。

【0053】また、上記手順によれば、CVD法により堆積した非晶質シリコン膜を結晶化してチャネル領域161としているので、膜厚の制御を非常に精密に行なうことができる。したがって、電界効果トランジスタの特性ばらつきを抑えることができる。

【0054】以上の説明から明らかなように、本実施の形態1の半導体装置は、従来技術の半導体装置のようにウェハの貼り合わせ工程を必要とせず、また、膜厚ばらつきの制御が難しいCMP工程によりチャネル領域となるシリコン膜を形成していない。したがって、簡単な工程により、駆動電流が大きく、短チャネル効果が抑制され、かつ特性のばらつきの小さなダブルゲート型電界効

果トランジスタが提供される。

【0055】(実施の形態2) 本実施の形態2の半導体装置は、実施の形態1の半導体装置において、ソース領域及びドレイン領域をライズド構造としたものである。本実施の形態2の半導体装置を、図6～図9を用いて説明する。図6は本実施の形態2の半導体装置の断面図である。なお、図6においては上部配線を省略している。図7及び図8は、本実施の形態2の半導体装置を作成する手順を説明するものである。図9は、本実施の形態2の半導体装置を作成する他の手順を説明するものである。なお、図6～9において、実施の形態1の図1～3に示された構成要素と同一構成要素には、図1～3の構成要素と同一参照番号を付して詳しい説明は省略する。

【0056】実施の形態1の半導体装置では、ソース領域151及びドレイン領域152が薄いシリコン膜であるために、寄生抵抗が大きく、シリサイド化も難しいという問題がある。本実施の形態2の半導体装置では、図6に示すように、ソース・ドレイン領域303、304をライズド構造としているので、シリサイド化が容易になり、ソース・ドレイン領域303、304の寄生抵抗を下げることができる。

【0057】本実施の形態2の半導体装置では、上記ソース領域303は、ライズド構造部分155と結晶化されたシリコン膜に不純物が拡散した領域153とで構成される。同様に、ドレイン領域304は、ライズド構造部分156と結晶化されたシリコン膜に不純物が拡散した領域154とで構成される。このような構成とすることにより、ソース領域303及びドレイン領域304の厚さが十分に厚くなるので、寄生抵抗を大幅に下げることができる。また、ソース・ドレイン領域303、304とチャネル領域161との接合は十分に厚いシリコン膜により保護されているので、ソース領域303、ドレイン領域304及びゲート領域143の表面に、シリサイド化された領域148を容易に形成することができる。したがって、ソース領域303及びドレイン領域304の寄生抵抗を更に下げることが可能である。

【0058】次に、本実施の形態2の半導体装置を形成する手順を、図7及び図8を用いて説明する。図7及び図8では、ウェル構造は省略している。本実施の形態2の半導体装置を形成する手順は、実施の形態1の半導体装置を形成する手順とはゲート電極の形成以後において異なる。すなわち、図5(e)の段階までは、実施の形態1と同様の手順でよい。

【0059】次に、図7(a)で示すように、CVD法によりゲート電極となる多結晶シリコン膜187とシリコン酸化膜188とをこの順に形成する。多結晶シリコン膜187は、導電性を有する限り他の導電性膜で置き換えるても良い。ここで、半導体基板としてシリコン基板111を使用した場合は、多結晶シリコンの他に、単結晶シリコン、アルミニウム、銅等が挙げられる。導電性

膜は、0.1～0.4μmの厚さを有することが好ましい。導電性膜は、CVD法、蒸着法等の方法で形成することができる。シリコン酸化膜188は、0.05～0.25μmの厚さを有するのが好ましい。シリコン酸化膜188は、CVD法、スパッタ法、熱酸化法等の方法で形成することができる。

【0060】次に、図7(b)に示すように、ゲート電極143を形成する。まず、図7(a)に示す多結晶シリコン膜187及びシリコン酸化膜188をパターン加工する。このパターン加工を行うには、図示しないパターン加工されたフォトレジストをマスクとし、シリコン酸化膜188及び多結晶シリコン膜187をエッチングすればよい。また、フォトレジストをマスクとしてシリコン酸化膜188のみエッチングし、フォトレジストを除去した後にシリコン酸化膜188をマスクとして多結晶シリコン膜187をエッチングしてもよい。これによりゲート電極143が形成される。次に、CVD法によりシリコン窒化膜を全面に堆積した後、エッチングバックを行なうことによりゲート側壁絶縁膜145を形成する。

【0061】次に、図8(c)に示すように、多結晶シリコンのサイドウォール189を形成する。多結晶シリコンのサイドウォール189を形成するためには、多結晶シリコンを全面に堆積した後にエッチングバックを行えばよい。このとき、多結晶シリコン以外にも非晶質シリコンなどの半導体や導電性物質を用いることができる。

【0062】次に、シリコン酸化膜188をエッチングにより除去する。その後、フォトレジストをマスクとして、ゲート電極143及び多結晶シリコンのサイドウォール189の一部を異方性エッチングで除去する。この異方性エッチングによりゲート側壁絶縁膜145で囲まれたゲート電極143の一部を除去してゲートーウェル接続領域を形成することができる。また、多結晶シリコンのサイドウォール189は複数の領域に分離され、不純物注入及び不純物拡散後は、夫々がソース領域またはドレイン領域を構成する。

【0063】次に、図8(d)に示すように、ゲート電極143及び多結晶シリコンのサイドウォール189に不純物イオン注入を行い、不純物活性化のためのアニールを行う。これによりソース領域303及びドレイン領域304が形成される。このソース領域303及びドレイン領域304のイオン注入は、例えば、不純物イオンとして⁷⁵As⁺を使用した場合、注入エネルギーとして10～140KeV、注入量として $1 \times 10^{15} \sim 2 \times 10^{16} \text{ cm}^{-2}$ の条件、不純物イオンとして³¹P⁺を使用した場合、注入エネルギーとして5～80KeV、注入量として $1 \times 10^{15} \sim 2 \times 10^{16} \text{ cm}^{-2}$ の条件、又は不純物イオンとして¹¹B⁺イオンを使用した場合、注入エネルギーとして5～30KeV、注入

量として $1 \times 10^{15} \sim 2 \times 10^{16} \text{ cm}^{-2}$ の条件で行うことができる。

【0064】その後、公知の方法でシリサイド化工程を行ない、上部配線等を形成して半導体装置が完成する。

【0065】ソース・ドレイン領域をライズド構造とするための他の方法を、図9を用いて説明する。この方法は、ソース・ドレイン領域のライズド構造部を選択エピタキシャル成長法により形成するものである。図7 (b) の状態から、CVD法によりシリコンを堆積する。このとき、図9に示すように、多結晶シリコン膜185上だけに下地のシリコン結晶方位を反映したシリコン膜199がエピタキシャル成長し、他の領域上ではシリコンが堆積しない条件で行なう。この後、ゲート電極143及びシリコン膜199に不純物イオン注入を行い、不純物活性化のためのアニールを行えば、ライズド構造のソース・ドレイン領域403, 404を形成することができる。以上に述べた、ソース・ドレイン領域をライズド構造とするための他の方法によれば、シリコン膜199は、将来ソース領域となる部分とドレイン領域となるべき部分とがあらかじめ分離された状態で形成されるので、後にこれらを分離する必要がない。

【0066】本実施の形態2の半導体装置によれば、ソース領域303, 403及びドレイン領域304, 404がライズド構造となっており、また、シリサイド化が容易であるから、ソース領域303, 403及びドレイン領域304, 404の寄生抵抗を小さくすることができる。したがって、素子の駆動電流が大きくなり、高速に動作する半導体装置が提供される。

【0067】(実施の形態3) 本実施の形態3の半導体装置は、浅いウェル領域とソース・ドレイン領域との静電容量を小さくするための構造とその形成方法に関する。本実施の形態3の半導体装置を、図10を用いて説明する。なお、図10において、実施の形態2の図6に示された構成要素と同一構成要素には、図6の構成要素と同一参照番号を付して詳しい説明は省略する。

【0068】ダブルゲートトランジスタの特性を向上させる観点からは、浅いウェル領域の不純物濃度はできる限り濃いほうがよい。浅いウェル領域の不純物濃度が薄い場合、浅いウェル領域にトランジスタをオン状態にするための電圧をかけたときに浅いウェル領域が空乏化するという問題がある。浅いウェル領域が空乏化するとチャネル領域のポテンシャルを十分に下げることができないので、駆動電流を十分に大きくすることができない。

【0069】一方、浅いウェル領域とソース・ドレイン領域との静電容量は、浅いウェル領域の不純物濃度が濃いほど大きくなる。浅いウェル領域とソース・ドレイン領域との静電容量の増加は、寄生容量を増加させ、消費電流の増加と動作速度の低下を招く。

【0070】したがって、浅いウェル領域は、図10 (b) に示すような構造であるのが好ましい。N型の浅

いウェル領域123中であって、シリコン酸化膜142を介してソース領域303 (153, 155) 及びドレイン領域304 (154, 156) と接する部分には、N型の不純物濃度の薄い領域128が形成されている。N型の不純物濃度の薄い領域128では、比較的広く空乏層が伸びている。したがって、ソース・ドレイン領域303, 304と浅いウェル領域123との間の容量を減らすことができる。かくして、ダブルゲート型トランジスタの性能を損なうことなく寄生容量を低減することができる。

【0071】次に、本実施の形態3の半導体装置を形成する手順を説明する。図7 (b) までは、実施の形態2の半導体装置を形成する手順と同じでよい。次に、図10 (a) に示すように、ゲート電極143上のシリコン酸化膜188及びゲート側壁絶縁膜145をマスクとして、N型の浅いウェル領域123の最上層部にP型の不純物を注入する。これにより、将来ソース・ドレインとなるべき領域下のみにN型の不純物濃度の薄い領域128が自己整合的に形成される。その後、多結晶シリコンのサイドウォールの形成以下、実施の形態2の半導体装置を形成する手順と同じ手順により、図10 (b) で示すように半導体装置が完成する。なお、図10 (b) では、シリサイド化された領域、層間絶縁膜、上部配線等は省略している。なお、実施の形態1の半導体装置においても、ゲート電極形成後に同様な工程を加えることにより、ソース・ドレインとなるべき領域下のみに自己整合的に不純物濃度の薄い領域を形成することができる。

【0072】本実施の形態3の半導体装置によれば、浅いウェル領域123のうち、ソース・ドレイン領域303, 304下のみに不純物濃度の薄い領域128が形成されるので、ダブルゲート型トランジスタの性能を損なうことなく寄生容量を低減することができる。したがって、高速動作かつ低消費電力な半導体装置が提供される。

【0073】(実施の形態4) 実施の形態1～3の半導体装置を、電池駆動の携帯電子機器、特に携帯情報端末に用いることができる。携帯電子機器としては、携帯情報端末、携帯電話、ゲーム機器などが挙げられる。

【0074】図11は、携帯電話の例を示している。制御回路211には、本発明の実施の形態1乃至3のいずれかの半導体装置が組み込まれている。なお、上記制御回路211は、本発明の半導体装置からなる論理回路と、メモリとを混載したLSI (大規模集積回路) から成っていてもよい。212は電池、213はRF (無線周波数) 回路部、214は表示部、215はアンテナ部、216は信号線、217は電源線である。

【0075】本発明の半導体装置を携帯電子機器に用いることにより、LSI部の動作速度を高速化することができる。このため、携帯電子機器の機能を高度にすることが可能になる。

【0076】

【発明の効果】以上より明らかなように、第1の発明の半導体装置によれば、半導体膜の一部は、第1、第2の絶縁膜を介して上記ゲート電極と上記第2導電型の浅いウェル領域とに挟まれてチャネル領域となり、更に、ゲート電極と第2導電型の浅いウェル領域とが電気的に接続されている。そのため、上記第2の絶縁膜及び上記ゲート電極が、夫々フロントゲート絶縁膜及びフロントゲート電極の役割を果たし、上記第1の絶縁膜及び上記第2導電型の浅いウェル領域が、夫々バックゲート絶縁膜及びバックゲート電極の役割を果たして、ダブルゲート型電界効果トランジスタを構成する。また、上記第2導電型の浅いウェル領域は、素子分離領域と第1導電型の深いウェル領域とにより素子毎に分離することができるるので、素子間の干渉が防ぐことができる。

【0077】また、半導体基板内に形成された上記第2導電型の浅いウェル領域をバックゲート電極としているので、ウェハ貼り合わせ工程を必要としない。また、CMP工程によりチャネル領域を形成する必要がないので、均一な厚さのチャネル領域を形成することができる。

【0078】したがって、簡単な工程により、駆動電流が大きく、短チャネル効果が抑制され、かつ特性のばらつきの小さなダブルゲート型電界効果トランジスタが提供される。

【0079】1実施の形態では、上記第1の絶縁膜と上記第2の絶縁膜に挟まれた上記半導体膜の厚さが140nm以下であるので、ダブルゲート型電界効果トランジスタのオン時にチャネル領域が完全に空乏化して、上記ゲート電極及び上記第2導電型の浅いウェル領域に印加した電圧の影響が上記チャネル領域の中央部にまで及ぶようになって、上記チャネル領域中央部のポテンシャルが低下する。したがって、上記チャネル領域中央部のキャリア密度が増加して更に駆動電流が増加する。

【0080】1実施の形態では、上記第1の絶縁膜と上記第2の絶縁膜に挟まれた上記半導体膜の厚さが100nm以下であるので、上記ダブルゲート型電界効果トランジスタのオフ時にも上記チャネル領域が完全に空乏化して、閾値以下のサブレッショルド領域においても基板バイアス効果が働き、サブレッショルド特性が改善する。したがって、上記ダブルゲート型電界効果トランジスタのオフ電流を増加させることなく閾値を下げることが可能になるので、電源電圧を下げる能够となるので、消費電力を削減することができる。

【0081】更にまた、上記ダブルゲート型電界効果トランジスタのオフ時においても、上記チャネル領域の中央部にまで上記ゲート電極及び上記第2導電型の浅いウェル領域に由来する空乏層が伸びており、上記ドレイン領域に由来する空乏層の伸びを遮断するので、極めて効果的に短チャネル効果が抑制される。上記ダブルゲート

型電界効果トランジスタのオン時には、更に上記チャネル領域の中央部のポテンシャルが低下する（基板バイアス効果が大きくなる）ので、非常に大きな駆動電流を得ることができる。したがって、短チャネル効果が極めて効果的に抑制され、非常に大きな駆動電流が得られるダブルゲート型電界効果トランジスタを実現することができる。

【0082】1実施の形態では、上記第2導電型の浅いウェル領域内であって、上記第1の絶縁膜を介して上記第2導電型のソース領域及びドレイン領域と接する部分の不純物濃度は、上記第1の絶縁膜を介して上記チャネル領域と接する部分の不純物濃度よりも薄いので、上記第2導電型の浅いウェル領域と上記ソース領域及びドレイン領域との容量を小さくすることができる一方、上記チャネル領域と接する部分では空乏化を抑えることができる。したがって、高速動作かつ低消費電力な半導体装置を提供することができる。

【0083】1実施の形態では、上記半導体膜に、アニールにより非晶質半導体の結晶化を助長する金属元素が含まれているので、アニールにより上記半導体膜を結晶化する際に、粒界の向きや結晶粒の大きさを制御することができる。そのため、容易にオフリークを抑制し、もしくは駆動電流の劣化を防ぐことができる。また、結晶粒の大きさを素子の大きさに比べて十分大きくすれば、実質的に単結晶膜からなるチャネル領域が実現できるので、低オフリーク及び高駆動電流という優れた特性が容易に両立する。

【0084】1実施の形態では、上記非晶質半導体の結晶化を助長する金属元素はニッケル、コバルト、パラジウム、白金の中の少なくとも1つであるので、非晶質半導体の結晶化及び粒界方向の制御を効率良く行なうことができる。

【0085】また、第2の発明の半導体装置の製造方法は、チャネル領域となるべき半導体膜を、非晶質半導体膜を堆積する工程により形成しているので、容易に均一な膜厚とすることができる。したがって、特性のばらつきの小さなダブルゲート型電界効果トランジスタが提供することができる。

【0086】更にまた、上記非晶質半導体膜の結晶化を助長する金属元素を上記非晶質半導体膜の一部に選択的に導入した後、アニールにより上記非晶質半導体膜を結晶化しているので、粒界の向きや結晶粒の大きさを制御することができる。そのため、容易にオフリークを抑制し、もしくは駆動電流の劣化を防ぐことができる。また、結晶粒の大きさを素子の大きさに比べて十分大きくすれば、実質的に単結晶膜からなるチャネル領域が実現できるので、低オフリーク及び高駆動電流という優れた特性を容易に両立させることができる。

【0087】1実施の形態では、上記非晶質半導体の結晶化を助長する金属元素がニッケル、コバルト、パラジ

ウム、白金の中の少なくとも1つであるので、非晶質半導体の結晶化及び粒界方向の制御を効率良く行なうことができる。

【0088】1実施の形態では、上記ソース領域及びドレイン領域の一部が、上記第2の絶縁膜がなす面より上に存在するライズド構造を有するので、上記ソース領域及びドレイン領域の寄生抵抗を小さくすることができる。したがって、ダブルゲート型電界効果トランジスタの駆動電流を大きくして、高速に動作させることが可能となる。

【0089】また、第3の発明の携帯電子機器は、上記半導体装置を具備しているので、携帯電子機器のLSI部を高速化することができ、高機能化を達成することができる。

【図面の簡単な説明】

【図1】 図1は本発明の実施の形態1の半導体装置の平面図である。

【図2】 図2は図1の切断面線A-A'からみた断面図である。

【図3】 図3は図1の切断面線B-B'からみた断面図である。

【図4】 図4(a)、(b)、(c)は本発明の実施の形態1の半導体装置を製造する手順を説明する図である。

【図5】 図5(d)、(e)は本発明の実施の形態1の半導体装置を製造する手順を説明する図である。

【図6】 図6は本発明の実施の形態2の半導体装置の

断面図である。

【図7】 図7(a)、(b)は本発明の実施の形態2の半導体装置を製造する手順を説明する図である。

【図8】 図8(c)、(d)は本発明の実施の形態2の半導体装置を製造する手順を説明する図である。

【図9】 図9は本発明の実施の形態2の半導体装置を製造する他の手順を説明する図である。

【図10】 図10(a)、(b)は本発明の実施の形態3の半導体装置の断面図である。

【図11】 図11は本発明の実施の形態3の携帯電子機器の構成図である。

【図12】 図12は従来技術であるダブルゲート型トランジスタの断面図である。

【符号の説明】

111 シリコン基板

121 深いウエル領域

123, 124 浅いウエル領域

128 不純物濃度の薄い部分

131 素子分離領域

141 ゲート酸化膜

142 シリコン酸化膜

143 ゲート電極

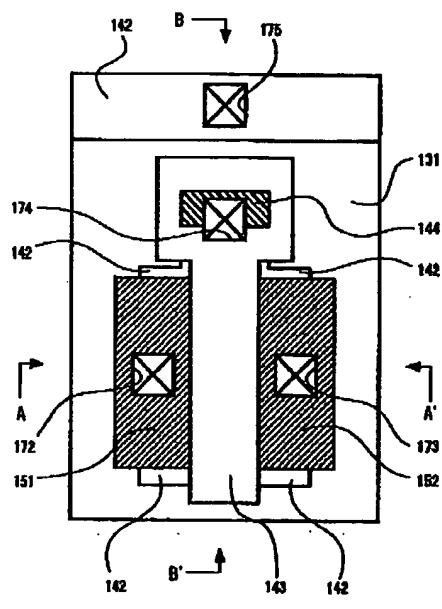
151, 303, 403 ソース領域

152, 304, 404 ドレイン領域

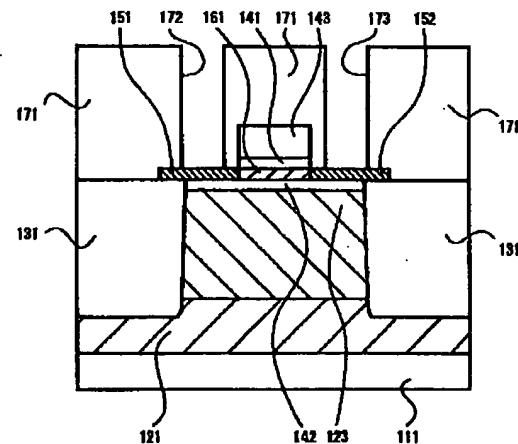
155, 156 ライズド構造部分

211 制御回路

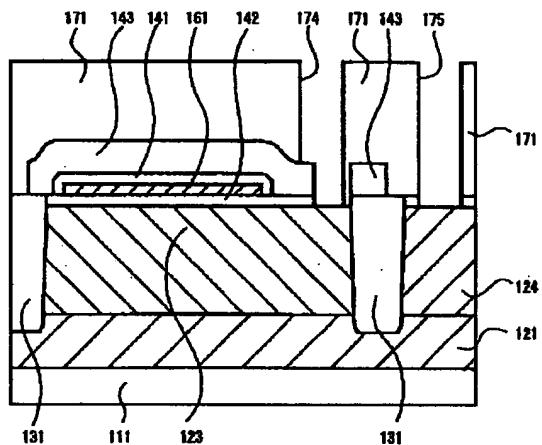
【図1】



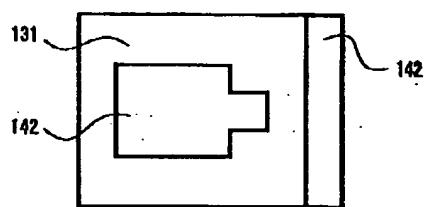
【図2】



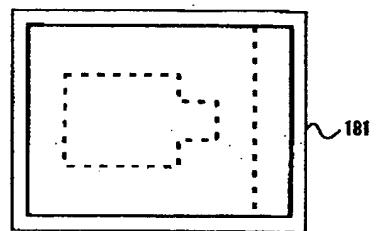
【図3】



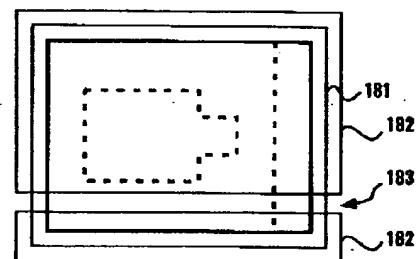
[図4]



(a)

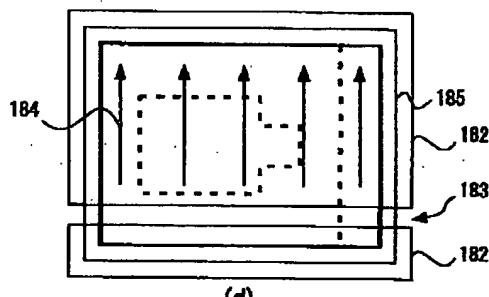


(b)

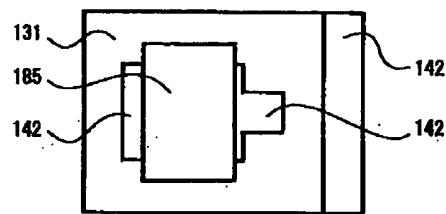


(c)

【図5】

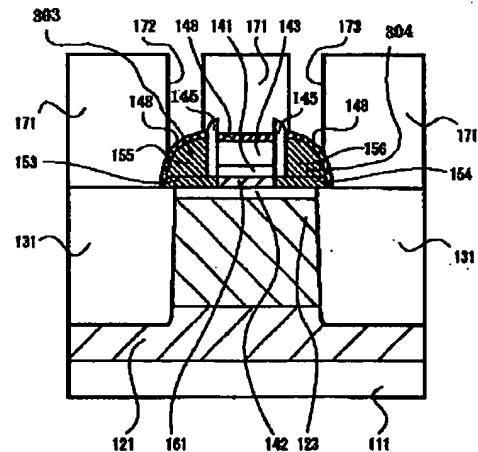


(d)



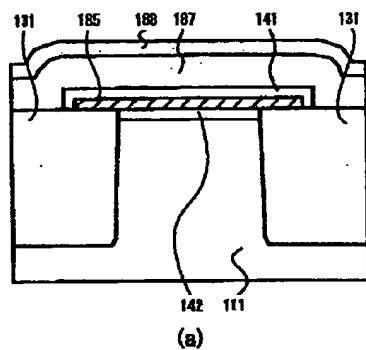
(e)

【图6】

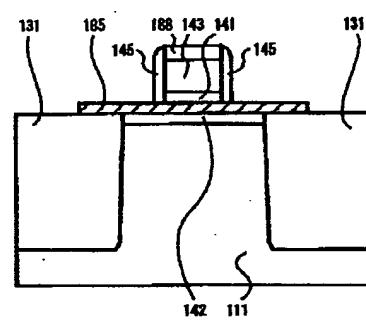


121 161 142 123 111

【図7】

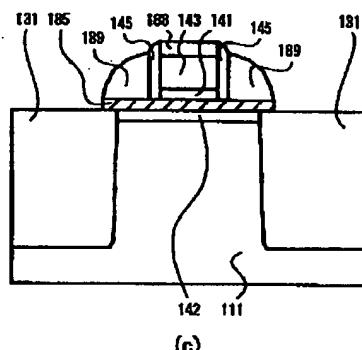


(a)

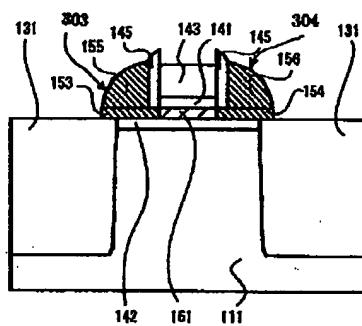


(b)

【図8】

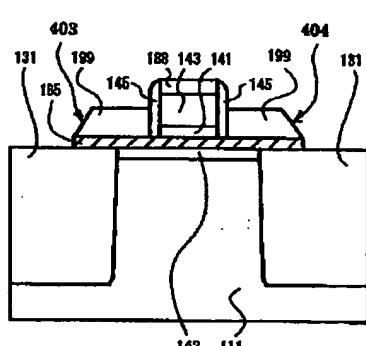


(c)

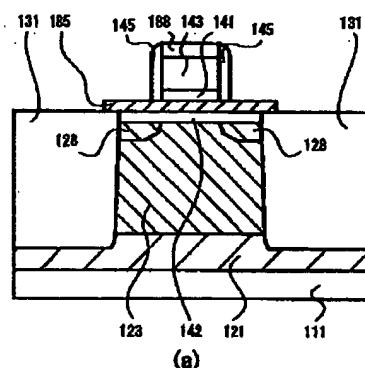


(d)

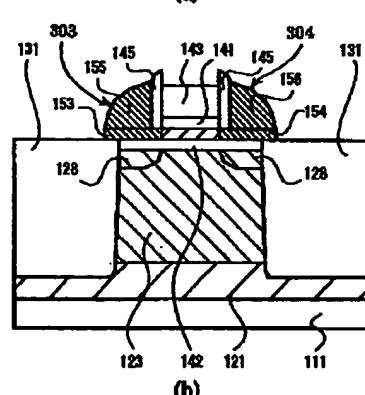
【図9】



【図10】

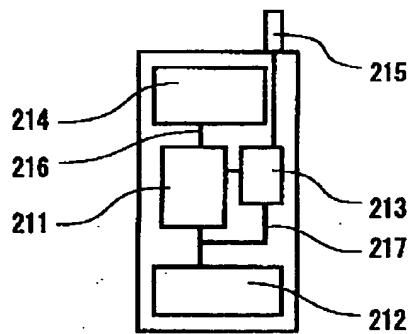


(a)

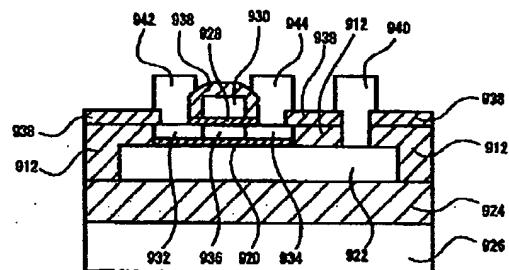


(b)

【図11】



【図12】



フロントページの続き

(72)発明者 柿本 誠三
大阪府大阪市阿倍野区長池町22番22号 シ
ヤープ株式会社内

F ターム(参考) 4M104 AA09 BB01 BB02 BB04 CC05
DD34 DD43 EE09 EE10 FF31
GG09
5F052 AA11 DA02 DA05 DB01 FA06
JA01
5F110 AA01 AA16 CC02 DD05 DD13
EE02 EE03 EE09 EE10 EE22
EE24 EE30 EE32 EE43 EE45
FF01 FF02 FF03 FF09 GG01
GG02 GG03 GG04 GG13 GG24
GG34 GG35 GG44 HJ01 HJ13
HJ23 HK05 HK09 HK14 HK16
HK21 HK40 HM02 NN62 PP01
PP10 PP13 PP21 PP23 PP24
PP34 QQ11